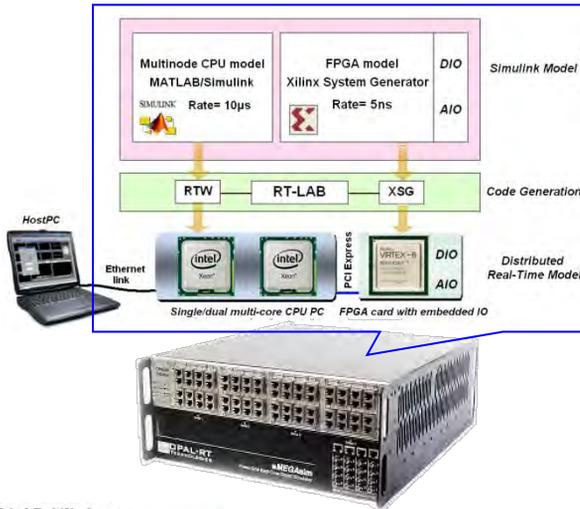


# RT-XSG

SimulinkモデルをFPGA上に置くことにより、リアルタイムシミュレーションをより高速・高精度に行うことが可能です。



従来のCPUによるリアルタイムシミュレーションでは、数 $\mu\text{sec}$ 台の演算が限界でした。OPAL-RT社のリアルタイムシミュレータ RT-LABの追加機能「RT-XSG」をご利用頂くことにより、従来では不可能とされていた高速演算が実現可能になります。



## ・従来より更に高速な制御周期を実現

[従来] CPUベース: 最速5~10 $\mu\text{sec}$   
 [XSG] FPGAベース: **最速1.3 $\mu\text{sec}$**   
 (※IO制御を含まない場合、250nsecで実行可能)

## ・FPGA用モデルをカスタマイズ可能

Xilinx Blocksetを用いて、Simulink上で自由にモデルをカスタマイズすることが可能

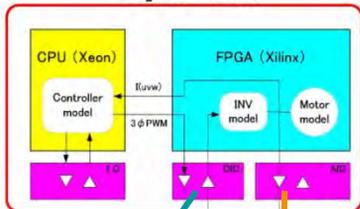
## ・FPGA用のVHDLコードを自動生成

モデルからのVHDLコード生成やBitstream作成、FPGAの書き換えを自動で実施可能

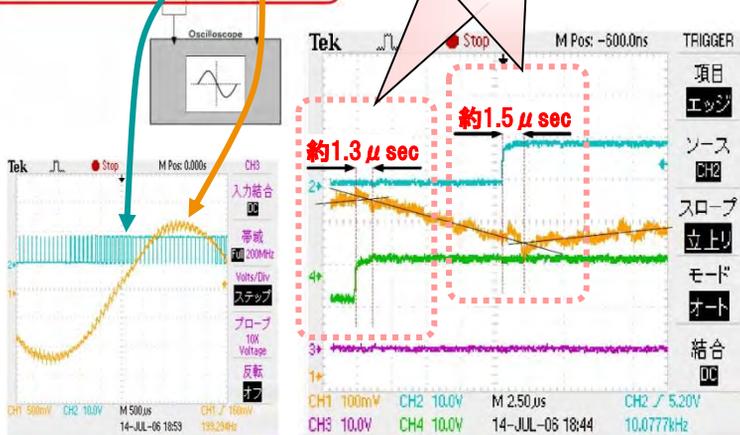
## ・FloatingPointによるモデリングにも対応

浮動小数点を用いたモデリングへの対応により、複雑なモデルもFPGA上で実行可能

RT\_LAB HIL box



PWMパターンの変化によるモータ電流の変化をより高速・高精度に測定可能



RT-XSGをご利用の際は、FPGA上で実行するモデルと、CPU上に配置するモデルを分けて作成して頂く必要があります。

FPGA上で実行するモデルはXilinx Blocksetにて、CPU上に配置するモデルは通常のSimulink Blocksetにてそれぞれ作成します。

左の図は、モータの制御において高速性を要求されるインバータモデルとモータモデル部分をFPGA上に、あまり高速性を要求されないコントローラモデル部分をCPU上に配置した例です。

IOから入力されたPWM信号がCPUを介さずFPGA上で直接処理されることにより、PWMパターンの変化に伴うモータ電流の変化を高速・高精度に測定することが可能です。

Opal-RT Technologies Inc.

1751 Richardson, Suite 2525  
 Montreal, Quebec, Canada, H3K 1G6  
 TEL: 514-935-2323 FAX: 514-935-4994  
 Email: info@opal-rt.com  
 URL: <http://www.opal-rt.com/>

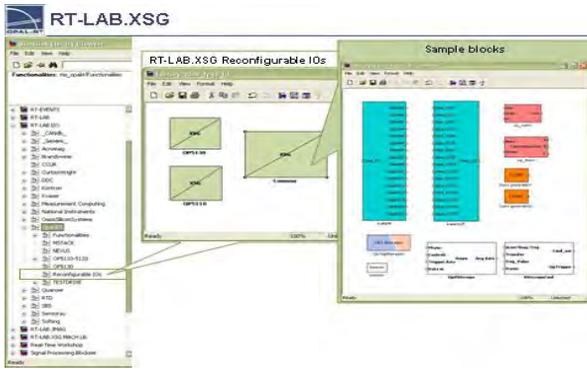


株式会社 NEAT

愛知県名古屋市中種区池下1-11-21  
 TEL: 052-764-3311 FAX: 052-764-3632  
 mail: madoguchi-neat@neat21.co.jp  
 URL: <http://www.neat21.co.jp>



RT-XSGはリアルタイムシミュレータの性能を更にパワーアップいたします。  
 ユーザーによるモデルの自由な変更・修正や、Xilinx SystemGeneratorを用いた  
 SimulinkモデルからVHDLコードへの自動変換等により、  
 効率的な作業が可能です。

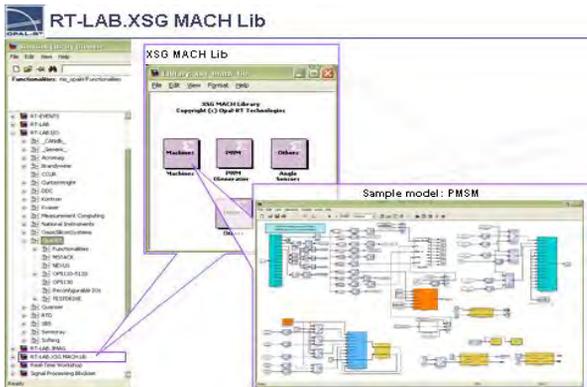


### RT-XSG

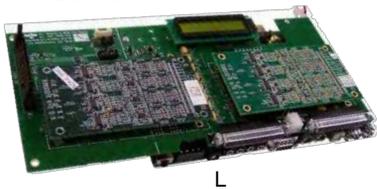
ユーザーがXilinx Blocksetを使ってリアルタイムモデルを作成し、  
 OPAL-RTのFPGAターゲット上で動作させるためのソフトです。

RT-XSGにはRuntimeとDevelopmentの2種類があります。

Runtimeは既にコンパイルされたXilinxモデルを動作させる際に、  
 DevelopmentはXilinx Blocksetを用いてオリジナルのモデルを  
 作成する際に必要となります。



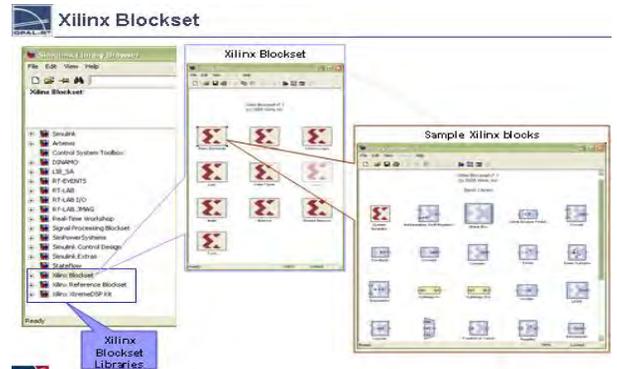
最新のFPGAに対応可能  
 RT-XSGは最新のFPGA Virtex6に対応し、従来は実装が困難とされて  
 きた複雑なモデルもFPGA上で実行可能になりました。  
 モータシミュレーションをはじめ、高速な処理が求められる様々な用  
 途に対する  
 ソリューションとして幅広くお使い頂けます。



### ソフトウェア動作環境

RT-XSGをご利用の際は、下記の環境が必要となります。

Software	Version (必須)	Version (推奨)
Windows	XP(32bit)	7(64bit)
MATLAB	R2009b	R2009b
Xilinx ISE Design suite	v12.1	v12.3
Xilinx System Generator	v12.1	v12.3



### Xilinx Blockset

XilinxとThe MathWorks, Inc.によって作成されたSimulink用の  
 ブロックセットで、FPGA上で論理演算を行うためのSimulinkの  
 基本ライブラリです。基本要素・演算・コントロールロジック・  
 メモリ・通信などのサブライブラリから構成されています。

### RT-XSG ライセンス構成

RT-XSGをご利用の際は、RT-LABの基本ライセンスに加えて  
 下記のライセンスが必要となります。

#### ・XSG-*Runtime*

コンパイル済みモデルをFPGA上で動作させるためのライセンスです。

#### ・XSG-*Development*

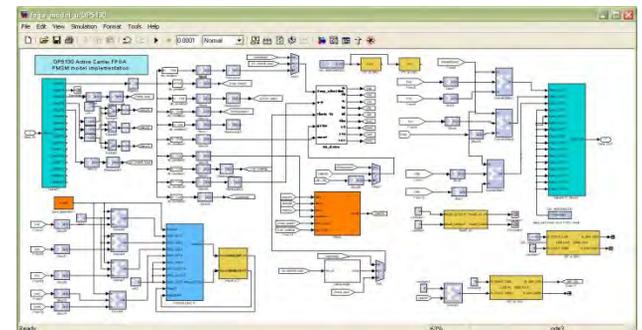
Xilinx Blocksetを使ってFPGA上で動作させるモデルを開発するた  
 めのライセンスです。ユーザーは開発したモデルをFPGA用にコンパ  
 イルし、XSGrunによりOPAL-RTのFPGA上で動作させることが可能で  
 す。

#### ・XSG-*Machine Lib*

OPAL-RTによって作成されたモータ・インバータ等のFPGAモデル用  
 のライブラリを利用するためのライセンスです。  
 これらのライブラリブロックをFPGAモデル上に配置することによりシ  
 ミュレーション環境が構築可能です。(内容は変更できません)  
 PMSM(Permanent Magnet Synchronous Motor), Encoder, Resolver,  
 3-phase PWM Generator等が含まれています。

#### ・Advanced PMSM Lic

インバータモデルにてOpen/Short等、各種Fault状態のシミュレーシ  
 ョンに対応するための追加オプションです。



※記載されている製品およびサービス名称は、それぞれの所有者の商標または登録商標です。